

日本国特許庁
JAPAN PATENT OFFICE

Y. Kinoshita
9/25/03
Q 77597
10f1

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 9月26日

出願番号

Application Number:

特願2002-281409

[ST.10/C]:

[JP 2002-281409]

出願人

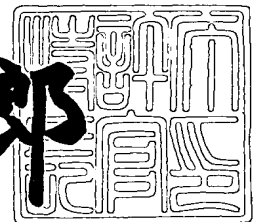
Applicant(s):

日本電気株式会社

2003年 4月18日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3028205

【書類名】 特許願
【整理番号】 35600219
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/82
【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号
本電気株式会社内

日

【氏名】 木下 靖

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100082935

【弁理士】

【氏名又は名称】 京本 直樹

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100082924

【弁理士】

【氏名又は名称】 福田 修一

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100085268

【弁理士】

【氏名又は名称】 河合 信明

【電話番号】 03-3454-1111

【手数料の表示】

【予納台帳番号】 008279

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9115699

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路

【特許請求の範囲】

【請求項 1】 電源配線とグランド配線と前記電源配線と前記グランド配線との間に形成されたデカップリングコンデンサとを備え、前記デカップリングコンデンサは少なくとも一方の電極が半導体基板上に平面状に形成されたシールド層からなり、前記シールド層が半導体基板に直接電氣的に接続され電源電位またはグランド電位に固定されていることを特徴とする半導体集積回路。

【請求項 2】 前記デカップリングコンデンサの電極のうち、前記シールド層からなる電極に対向する電極は、コンタクト電極を介して多層配線構造の最上層の配線に接続された配線層からなり、前記配線層と前記シールド層との間に前記デカップリングコンデンサを形成する容量絶縁膜を備えていることを特徴とする請求項 1 に記載の半導体集積回路。

【請求項 3】 電源配線とグランド配線と前記電源配線と前記グランド配線との間に形成されたデカップリングコンデンサとを備え、前記デカップリングコンデンサは少なくとも一方の電極が半導体基板上に形成された複数の突起部を覆って形成されたシールド層からなり、前記シールド層が半導体基板に直接電氣的に接続され電源電位またはグランド電位に固定されていることを特徴とする半導体集積回路。

【請求項 4】 前記突起部はゲート電極と同一の形成工程によりゲート電極と同時に形成されることを特徴とする請求項 3 に記載の半導体集積回路。

【請求項 5】 前記デカップリングコンデンサが素子分離酸化膜上に形成されたことを特徴とする請求項 1 から請求項 4 のいずれか一項に記載の半導体集積回路。

【請求項 6】 前記シールド層が金属シリコン化合物からなることを特徴とする請求項 1 から請求項 5 のいずれか一項に記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体集積回路に関するものであり、特に半導体集積回路上に形成された電源配線及びグランド配線上のノイズを低減させるデカップリングコンデンサを有する半導体集積回路に関する。

【 0 0 0 2 】

【従来の技術】

従来より、半導体集積回路における電源線ノイズの影響を低減させるため、電源線とグランド線を容量（デカップリングコンデンサ）で結合させる手法が知られている。具体的には、グランド線と電源線の間に半導体基板に形成されたMOSキャパシタを接続するとともに、グランド配線と電源配線の容量結合を一層大きくするため、グランド線と電源線が同じ幅をもって層間絶縁膜を挟んで上下に重なるように配設する構成としている（例えば、特許文献1参照。）。

【 0 0 0 3 】

また、半導体基板と信号配線層との間に、グランドレベル及び電源電圧レベルにそれぞれ固定されたシールド用メタル層を半導体基板のほぼ全面を覆うように形成し、これらのシールド用メタル層を絶縁膜を介して積層することによりシールド用メタル層間に容量を形成しているものもある（例えば、特許文献2参照。）。

【 0 0 0 4 】

【特許文献1】

特開2001-15601号公報（第4頁、図1）

【特許文献2】

特開2000-286385号公報（第3頁、図2）

【 0 0 0 5 】

【発明が解決しようとする課題】

しかしながら、特許文献1に記載された発明によれば、多層配線構造の最上部に形成された電源線及びグランド線が層間絶縁膜を貫通するコンタクトにより基板に接続されるため、このコンタクト部のアスペクト比が大きくなり、コンタクト部のインダクタンスが増加する。

【 0 0 0 6 】

特に高周波領域では、このコンタクト部のインダクタンスとともに配線の残留インダクタンスが顕在化し、これらのインダクタンスと結合容量とからLC直列共振回路が形成される。この高周波領域における共振現象の発生により挿入損失が低下し高周波領域でのデカップリング特性が低下するという問題があった。

【 0 0 0 7 】

また、電源配線とグランド配線の間の層間絶縁膜の厚さは、多層配線のプロセス条件により制限を受けるので、結合容量の増加が図れず、十分なデカップリング特性が得られないという問題があった。

【 0 0 0 8 】

また、特許文献2に記載された発明において多層配線プロセスを使用した場合には、上層の信号配線層と半導体基板を接続する多数のビアホールが必要となる。しかしながら、この多数のビアホールがシールド用メタル層を貫通することにより、半導体基板からのノイズが信号配線層へ伝達するのを阻止するというシールド用メタル層による効果が低減する。そのため、特許文献2に記載された発明を多層配線プロセスに使用するのが困難であるという問題があった。

【 0 0 0 9 】

本発明は、このような技術的背景のもとでなされたものである。したがって、本発明の目的は、多層配線構造とすることによる利点を有するとともに、高周波領域において電源配線またはグランド配線を伝搬するノイズを有効に抑制し、安定的に動作することのできる半導体集積回路を提供することである。

【 0 0 1 0 】

【課題を解決するための手段】

上記の目的を達成するために、本発明は、電源配線とグランド配線と電源配線とグランド配線との間に形成されたデカップリングコンデンサとを備え、このデカップリングコンデンサは少なくとも一方の電極が半導体基板上に平面状に形成されたシールド層からなり、このシールド層が半導体基板に直接電氣的に接続され電源電位またはグランド電位に固定されていることを特徴とする。

【 0 0 1 1 】

また、本発明は、デカップリングコンデンサの電極のうち、シールド層からな

る電極に対向する電極は、コンタクト電極を介して多層配線構造の最上層の配線に接続された配線層からなり、この配線層とシールド層との間にデカップリングコンデンサを形成する容量絶縁膜を備えていることを特徴とする。

【 0 0 1 2 】

さらに、本発明は、電源配線とグランド配線と電源配線とグランド配線との間に形成されたデカップリングコンデンサとを備え、このデカップリングコンデンサは少なくとも一方の電極が半導体基板上に形成された複数の突起部を覆って形成されたシールド層からなり、このシールド層が半導体基板に直接電氣的に接続され電源電位またはグランド電位に固定されていることを特徴とする。

【 0 0 1 3 】

また、本発明は、突起部はゲート電極と同一の形成工程によりゲート電極と同時に形成されることを特徴とする。

【 0 0 1 4 】

また、本発明は、デカップリングコンデンサが素子分離酸化膜上に形成されたことを特徴とする。

【 0 0 1 5 】

また、本発明は、シールド層が金属シリコン化合物からなることを特徴とする。

【 0 0 1 6 】

【発明の実施の形態】

次に、本発明の実施の形態について図面を参照して詳細に説明する。

【 0 0 1 7 】

図 1 に、本発明の実施の形態 1 にかかる半導体集積回路の断面図を示す。

【 0 0 1 8 】

P 型もしくは N 型の導電型である半導体基板 1 0 1 上にトランジスタ領域 1 0 0 と電源配線領域 2 0 0 およびグランド配線領域 2 2 0 が形成されている。

【 0 0 1 9 】

電源配線領域 2 0 0 は素子分離領域 1 0 2 の上部に形成される。この素子分離領域 1 0 2 は酸化膜からなり、LOCOS 法もしくはシャロートレンチ法などで形成

される。

【0020】

半導体基板101内にはP型の導電型である半導体領域、すなわちPウェル領域101aとN型の導電型である半導体領域すなわちNウェル領域101bが形成されている。図1のトランジスタ領域100に形成されているトランジスタはN型MOSFETである。

【0021】

トランジスタ領域100は多結晶シリコンからなるゲート電極105、酸化膜もしくは窒化膜あるいはその複合膜からなるサイドウォール絶縁膜106、熱酸化膜もしくは高誘電率材料からなるゲート絶縁膜104、ドレイン領域となる拡散層103d、ソース領域となる拡散層103sが形成されている。

【0022】

トランジスタのドレイン領域となる拡散層103dとソース領域となる拡散層103sは一般にウェル領域と反対の導電型を有するので、図1ではN⁺型領域である。

【0023】

ゲート電極105とドレイン領域となる拡散層103dおよびソース領域となる拡散層103sの表面上にはチタンあるいはコバルトなどの金属シリコン化合物からなるシリサイド層107が形成されている。そして、トランジスタ領域100のソース領域となる拡散層103sとグランド配線領域220のウェルコンタクト拡散層103aはプレート状のシリサイド層107で電氣的に短絡され、ソース領域となる拡散層103sがグランド電位に固定される。このウェルコンタクト拡散層103aは、Pウェル領域101a内ではP型拡散層として形成され、ウェルコンタクトとして機能する。

【0024】

シリサイド層107はドレイン領域となる拡散層103dおよびソース領域となる拡散層103sのシート抵抗を減少させるだけでなく、多結晶シリコンからなるゲート電極105のシート抵抗をも同時に減少させる目的で一般に使用されている。通常は拡散層のシリサイド化反応を起こした後、素子分離酸化膜上に存

在する余剰なシリサイド層をウェットエッチングなどで取り除くが、ここではウェルコンタクト拡散層 1 0 3 a 上のシリサイド層 1 0 7 は取り除かず、それ以外の不要な領域のシリサイド層だけを取り除いている。

【 0 0 2 5 】

本発明の実施の形態によれば、シリサイド層 1 0 7 が半導体基板 1 0 1 上のほぼ全面に形成され、ウェルコンタクト拡散層 1 0 3 a を介して半導体基板 1 0 1 に接続されグランド電位に固定されている。そのため、このプレート状のシリサイド層 1 0 7 が半導体基板 1 0 1 からのノイズが信号配線層へ伝達されるのを遮断するシールド層として機能することから、回路動作の安定化を図ることができる。

【 0 0 2 6 】

そして本発明の実施の形態によれば、シールド層をトランジスタの形成工程に新たな工程を追加することなく形成することが出来る。

【 0 0 2 7 】

また、シリサイド層 1 0 7 の上には C V D 成長法などにより薄い酸化膜 1 1 2 が形成され、その上に電源配線層 1 0 8 が形成される。

【 0 0 2 8 】

この電源配線層 1 0 8 は素子分離領域 1 0 2 上に形成されることから、配線幅を素子分離領域 1 0 2 の幅まで広げることができるので、配線抵抗を減少させることができる。この電源配線層 1 0 8 をここでは第 0 層の配線層という。

【 0 0 2 9 】

そして、この電源配線層 1 0 8 およびゲート電極 1 0 5 の上に層間膜 1 1 0 が形成され、トランジスタの拡散層と電源配線層 1 0 8 がコンタクト 1 0 9 を介して上層の配線へ接続されている。この上層の配線をここでは第 1 層の配線層 1 1 1 という。

【 0 0 3 0 】

電源配線領域 2 0 0 には、この実施の形態 1 にかかる半導体装置の特徴部をなす電源ノイズ吸収用のデカップリングコンデンサ領域 3 0 0 が形成される。

【 0 0 3 1 】

このデカップリングコンデンサ領域 3 0 0 は酸化膜 1 1 2 からなる層間容量を利用するものである。

【 0 0 3 2 】

このデカップリングコンデンサ領域 3 0 0 の上部電極となる電源配線層 1 0 8 は、電源配線である第 1 層の配線層 1 1 1 に接続され、その下部電極となるシリサイド層 1 0 7 はウェルコンタクト拡散層 1 0 3 a を介して半導体基板 1 0 1 に接続されている。

【 0 0 3 3 】

なお、電源配線層 1 0 8 は、例えばアルミニウム、銅、タングステン、金などの金属、或いはポリシリコンを素材として形成される。

【 0 0 3 4 】

また、層間膜 1 1 0 は、例えば窒化膜やプラズマ酸化膜を素材として形成される。

【 0 0 3 5 】

以上説明したように、本発明の実施の形態 1 によれば、グラウンドレベルに固定されたシリサイド層 1 0 7 と電源電圧レベルに固定された電源配線層 1 0 8 とが積層されることにより、その層間に酸化膜 1 1 2 を層間容量とするデカップリングコンデンサが形成される。

【 0 0 3 6 】

そしてこのデカップリングコンデンサにより、ディジタル回路部の電源配線またはグラウンド配線の電位が安定化され、ディジタル回路部で発生するノイズを抑制することができる。

【 0 0 3 7 】

特に、グラウンド配線層と電源配線層との間の容量絶縁膜として用いる酸化膜 1 1 2 は、層間膜 1 1 0 を形成する工程と別個独立の工程により形成されるので、容量絶縁膜として膜厚の最適化を図ることができ、グラウンド配線層と電源配線層の容量結合を大きくして電源線ノイズの影響を効果的に低減した半導体集積回路を得ることができる。

【 0 0 3 8 】

また、本発明の実施の形態 1 によれば、電源配線領域 2 0 0 では電源配線は幅の広い電源配線層 1 0 8 を介して第 1 層の配線層 1 1 1 にコンタクトにより接続される。そのため、トランジスタ領域 1 0 0 に接続されるコンタクトのアスペクト比が大きくなっても、電源配線領域 2 0 0 におけるコンタクトは幅を広くすることによりアスペクト比を小さく保つことができ、寄生インダクタンスの増加を防ぐことができる。

【 0 0 3 9 】

さらに、デカップリングコンデンサの下部電極は半導体基板表面のほぼ全面に形成されたシリサイド層 1 0 7 であり、コンタクトを介さずに基板電位に固定されているので、多層配線構造を採用した場合であってもグランド配線領域の寄生インダクタンスが増大することはない。

【 0 0 4 0 】

以上より、本発明の実施の形態 1 によれば、デカップリングコンデンサに付随するインダクタンスが小さくなり、デカップリングコンデンサとインダクタンスにより形成される LC 直列共振回路の共振周波数が高周波側に移動する。従って、共振を起こさない周波数領域が高域側に拡大されるので、電源配線層 1 0 8 に接続される電源配線上のノイズの周波数が上昇しても、これらのノイズを十分に抑制することができる。

【 0 0 4 1 】

本発明の実施の形態 1 では、デカップリングコンデンサ領域 3 0 0 は素子分離領域 1 0 2 の上部に形成することとしたが、これに限らず、素子分離領域 1 0 2 以外の領域に形成することもできる。ただし、本発明の実施の形態 1 で示したように素子分離領域 1 0 2 の上部に形成することにより、チップ面積の増大を招くことなく結合容量の大きなデカップリングコンデンサを形成することができる。

【 0 0 4 2 】

また、本発明の実施の形態 1 では、半導体基板 1 0 1 をグランド電位に固定することにより半導体基板 1 0 1 に接続されるシリサイド層 1 0 7 をグランド配線とし、デカップリングコンデンサの上部電極をコンタクトを介して電源電位に固定することにより電源配線としたが、これに限らず、半導体基板 1 0 1 を電源電

位に固定することにより半導体基板 1 0 1 に接続されるシリサイド層 1 0 7 を電源配線とし、デカップリングコンデンサの上部電極をコンタクトを介してグランド電位に固定することによりグランド配線とした場合にも、本発明を適用することができる。

【 0 0 4 3 】

図 2 は、本発明の実施の形態 1 を説明するための平面レイアウト図である。

図 2 (a) に示すレイアウト図によれば、P ウェル領域 1 0 1 a 内に N 型トランジスタのソース領域となる拡散層 1 0 3 s、ドレイン領域となる拡散層 1 0 3 d、及び P ウェル領域 1 0 1 a を基板電位にバイアスするための P 型拡散層からなるウェルコンタクト拡散層 1 0 3 a とが形成される。

【 0 0 4 4 】

また、N ウェル領域 1 0 1 b 内には、N ウェル領域 1 0 1 b を基板電位にバイアスするための N 型拡散層からなるウェルコンタクト拡散層 1 0 3 b が形成される。

【 0 0 4 5 】

トランジスタのゲートとなる例えばポリシリコンからなるゲート電極 1 0 5 は、ソース領域となる拡散層 1 0 3 s とドレイン領域となる拡散層 1 0 3 d を横切るように形成される。

【 0 0 4 6 】

ここで、シリサイド層が除去されている領域 1 1 3 を除いて、半導体基板 1 0 1 の全面にシリサイド層 1 0 7 が形成されてる。

【 0 0 4 7 】

図 2 (b) に示すレイアウト図によれば、第 0 層の配線層となる電源配線層 1 0 8 が電源配線領域 2 0 0 に形成される。

【 0 0 4 8 】

図 2 (c) に示すレイアウト図によれば、第 0 層の配線層である電源配線層 1 0 8、ソース領域となる拡散層 1 0 3 s、ドレイン領域となる拡散層 1 0 3 d、及びウェルコンタクト拡散層 1 0 3 a、1 0 3 b と第 1 層の配線層 1 1 1 とが、それぞれコンタクト 1 0 9 を通して接続される。

【 0 0 4 9 】

また、電源配線領域 2 0 0 には、電源配線 1 0 8 とシリサイド層 1 0 7 によりデカップリングコンデンサが形成されており、デカップリングコンデンサの下部電極を形成するシリサイド層はウェルコンタクト拡散層 1 0 3 a を介して半導体基板 1 0 1 に電氣的に接続されている。

【 0 0 5 0 】

以上により、N 型 MOSFET とデカップリングコンデンサが形成される。

【 0 0 5 1 】

図 3 に、本発明の実施の形態 2 にかかる半導体集積回路の断面図を示す。

【 0 0 5 2 】

P 型もしくは N 型の導電型である半導体基板 2 0 1 上にトランジスタ領域 1 0 0 と電源配線領域 2 0 0 およびグランド配線領域 2 2 0 が形成されている。

【 0 0 5 3 】

電源配線領域 2 0 0 は素子分離領域 2 0 2 の上部に形成される。この素子分離領域 2 0 2 は酸化膜からなり、LOCOS 法もしくはシャロートレンチ法などで形成される。

【 0 0 5 4 】

半導体基板 2 0 1 内には P 型の導電型である半導体領域すなわち P ウェル領域 2 0 1 a と N 型の導電型である半導体領域すなわち N ウェル領域 2 0 1 b が形成されている。

【 0 0 5 5 】

本図ではトランジスタ領域 1 0 0 に形成されているトランジスタは N 型 MOSFET である。トランジスタ領域 1 0 0 には多結晶シリコンからなるゲート電極 2 0 5 、酸化膜もしくは窒化膜あるいはその複合膜からなるサイドウォール絶縁膜 2 0 6 、熱酸化膜もしくは高誘電率材料からなるゲート絶縁膜 2 0 4 、ドレイン領域となる拡散層 2 0 3 d 、ソース領域となる拡散層 2 0 3 s が形成されている。

【 0 0 5 6 】

トランジスタの拡散層 2 0 3 d と 2 0 3 s は一般にウェル領域と反対の導電型を有するので、本図では N^+ 型領域である。

【 0 0 5 7 】

ゲート電極 2 0 5 とドレイン領域となる拡散層 2 0 3 d およびソース領域となる 2 0 3 s の表面上にはチタンあるいはコバルトなどの金属シリコン化合物からなるシリサイド層 2 0 7 が形成されており、このトランジスタ領域 1 0 0 のソース領域となる拡散層 2 0 3 s とグランド配線領域 2 2 0 のウェルコンタクト拡散層 2 0 3 a はプレート状のシリサイド層 2 0 7 で電氣的に短絡されグランド電位に固定される。

【 0 0 5 8 】

シリサイド層 2 0 7 は拡散層のシート抵抗を減少させるだけでなく、多結晶シリコンからなるゲート電極 2 0 5 のシート抵抗をも同時に減少させる目的で一般に使用されている。

【 0 0 5 9 】

通常は拡散層のシリサイド化反応を起こした後、素子分離酸化膜上に存在する余剰なシリサイド層をウェットエッチングなどで取り除くが、本実施の形態では電源配線領域 2 0 0 およびグランド配線領域 2 2 0 のシリサイド層 2 0 7 は除去せず、この領域以外の不要なシリサイド層だけを取り除いている。

【 0 0 6 0 】

シリサイド層 2 0 7 の上には C V D 成長法などにより、酸化膜からなる層間膜 2 1 0 が形成された後、第 1 層の配線層 2 1 1 が形成される。

【 0 0 6 1 】

そして、トランジスタのドレイン領域となる拡散層 2 0 3 d およびソース領域となる拡散層 2 0 3 s がコンタクト 2 0 9 を介して第 1 層の配線層 2 1 1 へ接続されている。

【 0 0 6 2 】

電源配線領域 2 0 0 には、本実施の形態 2 に係る半導体集積回路の特徴部をなす電源ノイズ吸収用のデカップリングコンデンサ領域 3 0 0 が形成される。

【 0 0 6 3 】

このデカップリングコンデンサは層間膜 2 1 0 による層間容量を利用するものであり、電源配線領域 2 0 0 の電源配線層 2 0 8 がデカップリングコンデンサの

上部電極として機能し、その下部電極となるシリサイド層 2 0 7 はウェルコンタクト拡散層 2 0 3 a 及びウェルコンタクト拡散層 2 0 3 b を介して半導体基板 2 0 1 に接続されている。

【 0 0 6 4 】

本実施の形態 2 では実施の形態 1 と、電源配線領域 2 0 0 の素子分離酸化膜 2 0 2 上にゲート電極 2 0 5 と同時に形成された突起部 2 1 2 が複数形成されている点が異なっている。

【 0 0 6 5 】

この突起部 2 1 2 は任意の形状、高さとする事が出来るが、ゲート電極 2 0 5 と同一形状とすることにより、ゲート電極 2 0 5 の寸法制御性に影響を与えることなく同一の工程で同時に形成することが出来る。

【 0 0 6 6 】

そして、この突起部 2 1 2 上に全面にシリサイド層 2 0 7 を形成することにより、デカップリングコンデンサの下部電極を形成する。

【 0 0 6 7 】

ここで、電源配線領域 2 0 0 においては、下部電極となる突起部 2 1 2 上のシリサイド層 2 0 7 と上部電極となる電源配線層 2 0 8 との間の層間膜 2 1 0 の厚さは、突起部 2 1 2 が存在することにより、突起部 2 1 2 以外の部分の層間膜の厚さよりも減少する。そのため、実施の形態 1 における電源配線層 1 0 8 に対応する配線層を形成することなくグランド配線層と電源配線層の容量結合を大きくすることができる。

【 0 0 6 8 】

なお、電源配線層 2 0 8 および第 1 層の配線層 2 1 1 は、例えばアルミニウム、銅、タングステン、金などの金属、或いはポリシリコンを素材として形成される。

【 0 0 6 9 】

また、層間膜 2 1 0 は、例えば窒化膜やプラズマ酸化膜を素材として形成される。

【 0 0 7 0 】

以上述べたように本実施の形態によれば、実施の形態 1 における電源配線層 1 0 8 に対応する配線層を形成する工程を省略することができるので、少ない工程数で実施の形態 1 と同様に、グランド配線層と電源配線層の容量結合を大きくして電源線ノイズの影響を効果的に低減した半導体集積回路を得ることができる。

【 0 0 7 1 】

本発明の実施の形態 2 では、デカップリングコンデンサ領域 3 0 0 は素子分離領域 2 0 2 の上部に形成することとしたが、これに限らず、素子分離領域 2 0 2 以外の領域に形成することもできる。ただし、本発明の実施の形態 2 で示したように素子分離領域 2 0 2 の上部に形成することにより、チップ面積の増大を招くことなく結合容量の大きなデカップリングコンデンサを形成することができる。

【 0 0 7 2 】

また、本発明の実施の形態 2 では、半導体基板 2 0 1 をグランド電位に固定することにより半導体基板 2 0 1 に接続されるシリサイド層 2 0 7 をグランド配線とし、デカップリングコンデンサの上部電極を電源電位に固定することにより電源配線としたが、これに限らず、半導体基板 2 0 1 を電源電位に固定することにより半導体基板 2 0 1 に接続されるシリサイド層 2 0 7 を電源配線とし、デカップリングコンデンサの上部電極をグランド電位に固定することによりグランド配線とした場合にも、本発明を適用することができる。

【 0 0 7 3 】

図 4 は、本発明の実施の形態 2 を説明するための平面レイアウト図である。図 4 (a) に示すレイアウト図によれば、P ウェル領域 2 0 1 a 内に N 型トランジスタのソース領域となる拡散層 2 0 3 s 、ドレイン領域となる拡散層 2 0 3 d 、及び P ウェル領域 2 0 1 a を基板電位にバイアスするための P 型拡散層からなるウェルコンタクト拡散層 2 0 3 a とが形成される。

【 0 0 7 4 】

また、N ウェル領域 2 0 1 b 内には、N ウェル領域 2 0 1 b を基板電位にバイアスするための N 型拡散層からなるウェルコンタクト拡散層 2 0 3 b が形成される。

【 0 0 7 5 】

トランジスタのゲートとなる例えばポリシリコンからなるゲート電極 2 0 5 は、ソース領域となる拡散層 1 0 3 s とドレイン領域となる拡散層 1 0 3 d を横切るように形成される。

【 0 0 7 6 】

そして、このとき同時に電源配線領域 2 0 0 に複数の突起部 2 1 2 が形成される。この突起部 2 1 2 は任意のパターンで形成することが出来るが、ゲート電極 2 0 5 と同様のパターンを用いることにより、ゲート電極 2 0 5 の寸法制御性に影響を与えることなく同一の工程で同時に形成することが出来る。

【 0 0 7 7 】

そして、シリサイド層が除去されている領域 2 1 3 を除いて、半導体基板 2 0 1 の全面にシリサイド層 2 0 7 が形成され、突起部 2 1 2 上に形成されたシリサイド層 2 0 7 がデカップリングコンデンサの下部電極を構成する。

【 0 0 7 8 】

図 4 (b) に示すレイアウト図によれば、ソース領域となる拡散層 2 0 3 s 、ドレイン領域となる拡散層 2 0 3 d 、及びウェルコンタクト拡散層 2 0 3 a 、 2 0 3 b にコンタクト 2 0 9 が形成される。

【 0 0 7 9 】

図 4 (c) に示すレイアウト図によれば、電源配線領域 2 0 0 及びコンタクト 2 0 9 が形成された領域に電源配線層 2 0 8 及び第 1 層の配線層 2 1 1 がそれぞれ形成される。

【 0 0 8 0 】

ここで、電源配線領域 2 0 0 には、電源配線層 2 0 8 と突起部 2 1 2 上に形成されたシリサイド層 1 0 7 とその間の層間膜 2 1 0 によりデカップリングコンデンサが形成される。

【 0 0 8 1 】

以上より、N 型 MOS F E T とデカップリングコンデンサが形成される。

【 0 0 8 2 】

【発明の効果】

以上説明したように、本発明によれば容量値が大きく、しかも多層配線構造を

採用した場合にも寄生インダクタンスが増加することのないデカップリングコンデンサを得ることができる。

【 0 0 8 3 】

その結果、高周波領域においても電源配線またはグランド配線を伝搬するノイズが抑制され、安定な動作が可能な半導体集積回路を得ることができる。

【図面の簡単な説明】

【図 1】

本発明の実施の形態 1 に係る半導体集積回路を示す断面図である。

【図 2】

本発明の実施の形態 1 に係る半導体集積回路を示す平面レイアウト図である。

【図 3】

本発明の実施の形態 2 に係る半導体集積回路を示す断面図である。

【図 4】

本発明の実施の形態 2 に係る半導体集積回路を示す平面レイアウト図である。

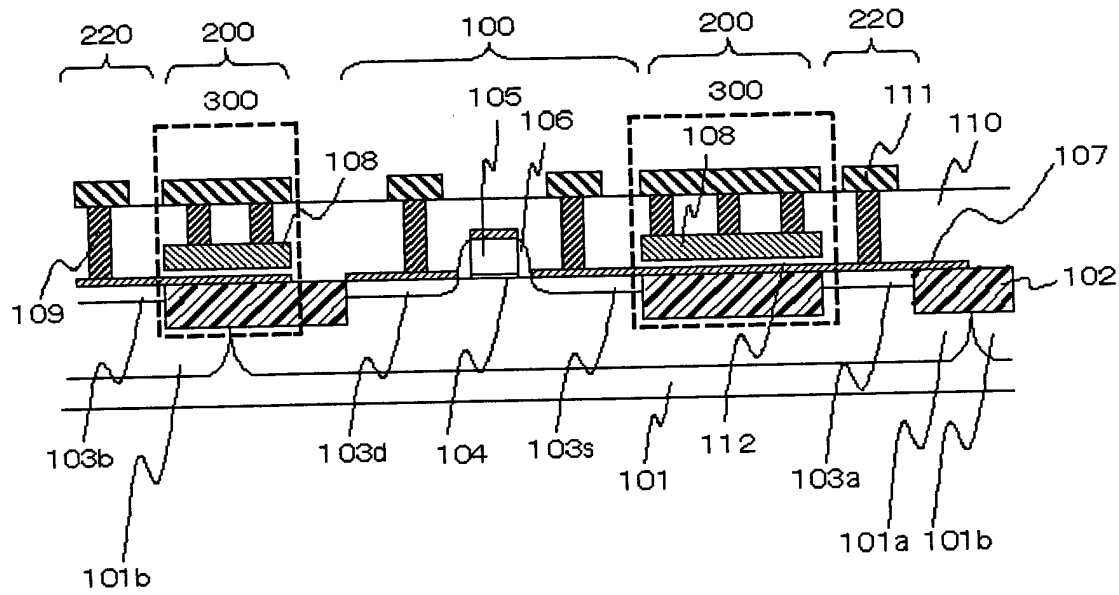
【符号の説明】

- 1 0 0 トランジスタ領域
- 2 0 0 電源配線領域
- 2 2 0 グランド配線領域
- 3 0 0 デカップリングコンデンサ領域
- 1 0 1、2 0 1 半導体基板
- 1 0 2、2 0 2 素子分離領域
- 1 0 1 a、2 0 1 a P ウェル領域
- 1 0 1 b、2 0 1 b N ウェル領域
- 1 0 3 a、1 0 3 b、2 0 3 a、2 0 3 b ウェルコンタクト拡散層
- 1 0 3 d、2 0 3 d ドレイン領域となる拡散層
- 1 0 3 s、2 0 3 s ソース領域となる拡散層
- 1 0 4、2 0 4 ゲート絶縁膜
- 1 0 5、2 0 5 ゲート電極
- 1 0 6、2 0 6 サイドウォール絶縁膜

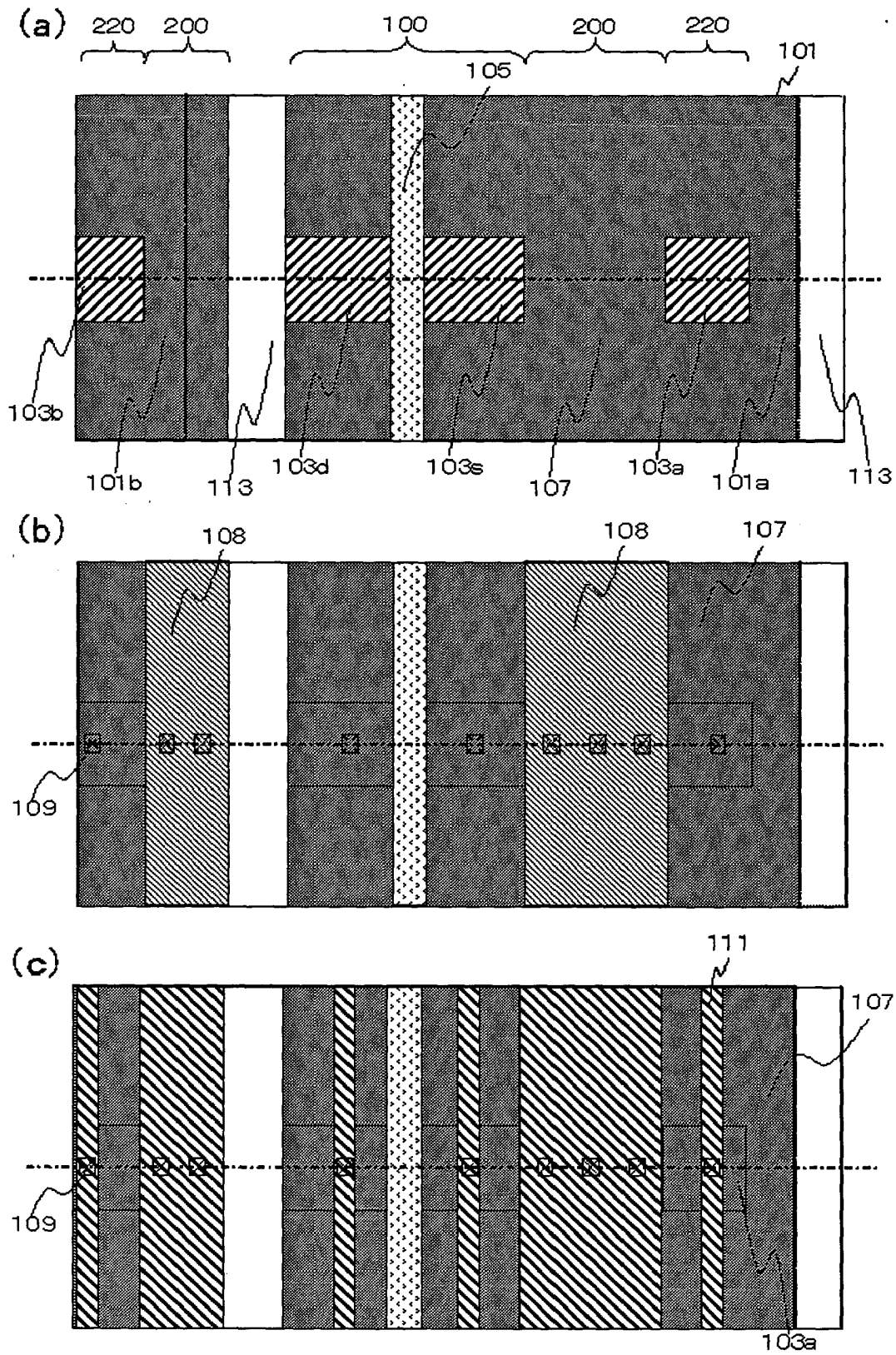
1 0 7、2 0 7	シリサイド層
1 0 8、2 0 8	電源配線層
1 0 9、2 0 9	コンタクト
1 1 0、2 1 0	層間膜
1 1 1、2 1 1	第 1 層の配線層
1 1 2	酸化膜
2 1 2	突起部
1 1 3、2 1 3	シリサイド層が除去されている領域

【書類名】 図面

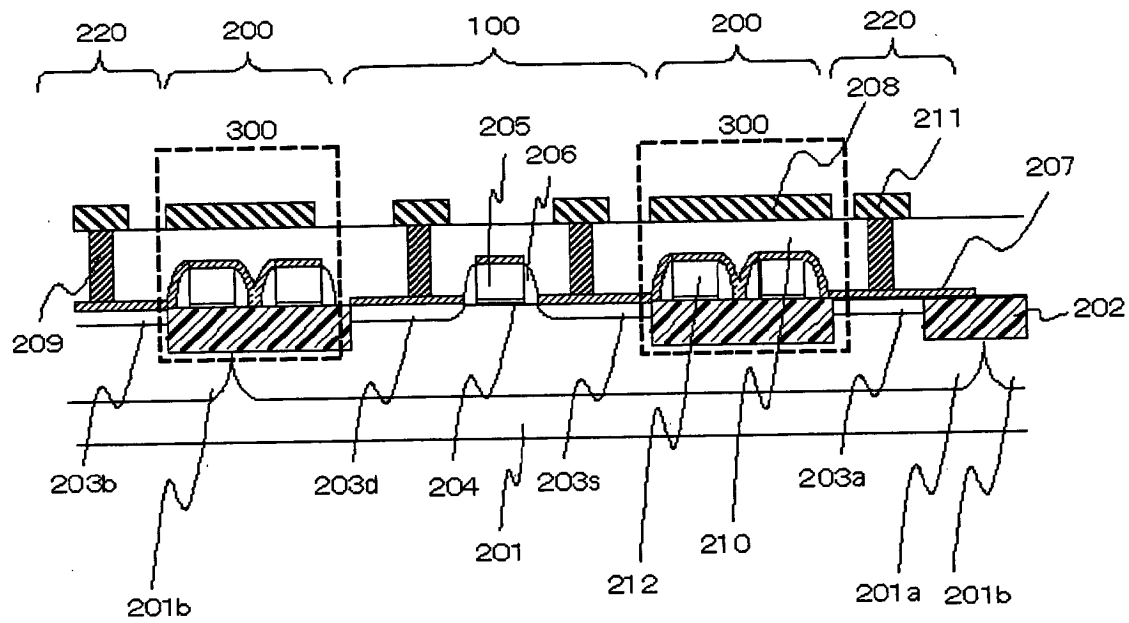
【図1】



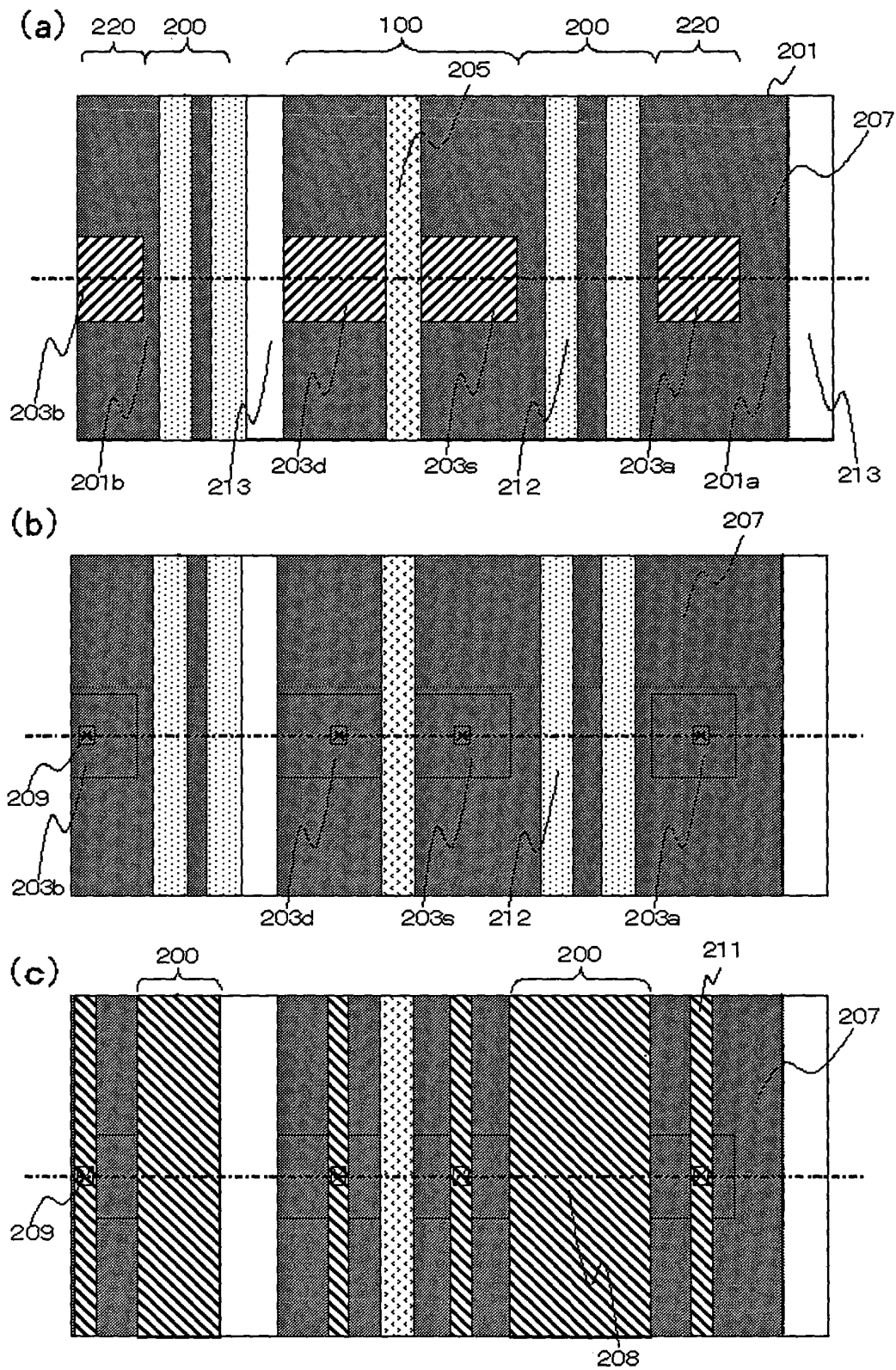
【図 2】



【図 3】



【図4】



特2002-281409

【書類名】 要約書

【要約】

【課題】 高周波領域においても電源配線またはグランド配線を伝搬するノイズが抑制され、安定な動作が可能な半導体集積回路を提供する。

【解決手段】 素子分離酸化膜上に形成された電源配線層とグランド配線層を有し、電源配線層とグランド配線層の間に形成された絶縁膜とともにデカップリングコンデンサを構成する。電源配線層はコンタクト電極によって上層配線層と接続され、グランド配線層は素子分離酸化膜上にプレート状に形成されたシリサイド層を介して半導体基板に接続され、半導体基板の電位にバイアスされる。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2002-281409
受付番号	50201444298
書類名	特許願
担当官	田丸 三喜男 9079
作成日	平成14年 9月30日

<認定情報・付加情報>

【提出日】 平成14年 9月26日

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社